

PAT-NO: JP404188861A
DOCUMENT-IDENTIFIER: JP 04188861 A
TITLE: ELECTRONIC CIRCUIT PACKAGE
PUBN-DATE: July 7, 1992

INVENTOR-INFORMATION:
NAME
KISHIMOTO, TORU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT> N/A

APPL-NO: JP02319460
APPL-DATE: November 22, 1990

INT-CL (IPC): H01L023/52, H01L023/427 , H01L025/07 ,
H01L025/18 , H05K007/20

US-CL-CURRENT: 257/712

ABSTRACT:

PURPOSE: To enable I/O terminals to be enhanced in number by a method wherein a heat sink where a heat pipe is built is brought into thermal contact with a region where I/O terminals and/or power feed terminals are not mounted.

CONSTITUTION: I/O terminals 3 are divided into groups, where each group is composed of a certain number of terminals 3, and the terminals 3 are dispersedly mounted on the side of a multi-chip wiring board 2 opposite to its other side where LSI chips 1 are mounted. A thin heat sink 9

in which a heat pipe is built is brought into thermal contact with a region where the terminal groups are not mounted, and heat released from the chips 1 is conducted to the heat sink 9 through the intermediary of the wiring board 2 and dissipated outside. By this constitution, the I/O terminals 3 can be led out two-dimensionally from the wiring board 2 mounted with a large number of the chips 1, so that an electronic circuit package can be sharply increased in total number of I/O terminals and enhanced in cooling capacity by the heat sink 9 of high thermal conductivity notwithstanding its thermal contact surface small in area.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-188861

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月7日

H 01 L 23/52
23/427
25/07
25/18
H 05 K 7/20

D
R

7301-4E
7301-4E
7220-4M
7220-4M
7638-4M

H 01 L 23/52
23/46
25/04

C
B
C

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 電子回路パッケージ

⑯ 特 願 平2-319460

⑰ 出 願 平2(1990)11月22日

⑱ 発 明 者 岸 本 亨 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

電子回路パッケージ

2. 特許請求の範囲

(1) 少なくとも1個以上のベアチップもしくは少なくとも1個以上のケースに搭載されたチップを配線基板に搭載し、該配線基板にI/O端子および/または給電端子を複数設けて上位実装レベルとを電気的に接続する構造の電子回路パッケージにおいて、

I/O端子および/または給電端子のいくつかをグループ化して、少なくとも1以上の該グループを前記配線基板に分散搭載し、

前記配線基板の前記端子のグループが搭載されない領域にヒートパイプを内蔵したヒートシンクを熱接触させることを特徴とする電子回路パッケージ。

(2) ヒートパイプを内蔵したヒートシンクの端部に空冷ヒートシンクを設けたことを特徴とする請求項1記載の電子回路パッケージ。

(3) 請求項1記載の電子回路パッケージにおいて、

ヒートパイプを内蔵したヒートシンクに代えて、液冷型ヒートシンクを配線基板に熱接触させたことを特徴とする電子回路パッケージ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、システムの高速化、高密度実装化により、多数のI/O端子、および高い冷却能力を必要とする電子回路パッケージに関するものである。

[従来の技術]

第10図は従来の電子回路パッケージ構造を示したものであり、1はLSIチップ、2はマルチチップ配線基板、3は上位実装階層(上位実装レベル)と電気的な接続を取るI/Oピン、4はLSIチップ1を保護するための封止キャップ、5は空冷形ヒートシンク、6はI/Oピン3を嵌合させてマルチチップ配線基板2と上位実装階層とを電気的に接続するためのコネクタ、7は上位実

装階層であるマザーボードをそれぞれ示す。また第11図は第10図の上面図であって、封止キャップ4を取り除いた状態を示しており、ここで8は封止キャップ用リング（レーザー熔接等により封止キャップ4で封止するためにマルチチップ配線基板2上に設けた金属薄膜リング）である。

本構造は、LSIチップ1をマルチチップ配線基板2にフェースアップで搭載した構造であり、LSIチップ1で発生した熱は、マルチチップ配線基板2を介して、マルチチップ配線基板2の裏面に接着した空冷形ヒートシンク5により外部の空気に導かれる。一般に空冷時の熱伝達係数は、液冷時に比べ2桁程度低いため、十分な放熱散を行なうにはヒートシンク5の伝熱面積をなるべく大きく採る必要がある。このため従来のマルチチップ配線基板5の裏面は放熱用に確保しておく必要があった。

〔発明が解決しようとする課題〕

しかしながら、上記従来の技術における電子回路パッケージ構造では、マルチチップ配線基板2

に周辺部に配線を展開するため、配線総数も増加してしまう欠点もある。

また、端子ピッチの狭いフレキシブルプリント板を利用してマルチチップ配線基板2と上位実装階層であるマザーボード7とをコネクションする構造も提案されているが、マルチチップ配線基板2の周辺部のみをI/O領域とするため、I/O数の増大に対処するには端子ピッチを狭くする以外手立てが無い。またマルチチップ配線基板2をマザーボード7に搭載する際に、その位置合わせはますます困難となると共に、フレキシブルプリント板上の接続端子と、マルチチップ配線基板2との接続端子も小形化し、マルチチップ配線基板2を取り替える際には、変形や磨擦が起こり、その結果取り替え回数に制限を与える結果となる。従って、端子ピッチの狭いフレキシブルプリント板を用いる構造においても、そこから採りだせるI/O数には限界がある。

以上の説明はマルチチップ配線基板7を空冷することを前提としたが、液冷を用いる構造も考え

る裏面をヒートシンク5と熱接続するために使用しているので、I/Oピン3を採りだせる領域は、LSIチップ1を搭載した面上で、かつマルチチップ配線基板2の周辺のみに限られてしまう問題点がある。一方、マルチチップ配線基板2と上位の実装階層（ここではマザーボード7）とを電気的に接続するためのI/Oピン3は、マルチチップ配線基板2上に搭載されるLSIチップ1の総ゲート数の増大に伴って、ますます増加する傾向にある。従来例のパッケージ構造のようにピンタイプのI/Oを行なう場合のI/Oピン3の搭載ピッチは、その製造限界から1.27mm程度であり、このため、必要となるI/O数が500程度であればマルチチップ配線基板2の外形寸法増加は僅かであるが、I/O数が1000～2000のオーダーとなると外形寸法増加は避けられない。従って従来例では、I/Oピン3からマルチチップ配線基板2の配線までの距離が延びてしまう欠点があり、計算機などのように配線による遅延の低減が最重要課題である応用には適さない。さら

られる。しかし、この場合においても、LSIチップ1をフェースアップで搭載しているため、高い冷却能力を得るためには、空冷形ヒートシンク5に替えて、同じ位置に液冷形ヒートシンクを熱接続する構造が一般的であるため、冷却能力が高いといえども上記問題点を解決することはできない。

以上説明したように従来構造の持つ問題点としては、LSIチップ1からの放熱を考慮すると、マルチチップ配線基板2からのI/O端子採りだしに限界が有り、I/O端子数増大に対する要求に応えられないということに集約される。

本発明は、上記問題点を解決するために創案したものであり、その目的は、マルチチップ配線基板2からのI/O端子採りだし本数を増やすことが容易で、かつLSIチップ1からの放熱に制限を与えない高い冷却能力を有する電子回路パッケージを提供することにある。

〔課題を解決するための手段〕

上記の目的を達成するための本発明の電子回路

パッケージの構成は、

少なくとも1個以上のベアチップもしくは少なくとも1個以上のケースに搭載されたチップを配線基板に搭載し、該配線基板にI/O端子および/または給電端子を複数設けて上位実装レベルとを電気的に接続する構造の電子回路パッケージにおいて、

I/O端子および/または給電端子のいくつかをグループ化して、少なくとも1以上の該グループを前記配線基板に分散搭載し、

前記配線基板の前記端子のグループが搭載されない領域にヒートパイプを内蔵したヒートシンクまたは液冷型ヒートシンクを熱接触させることを特徴とする。

[作用]

本発明は、配線基板上に搭載したチップの熱を放散する手段として、ヒートパイプを内蔵したヒートシンクあるいは液冷型ヒートシンクを用いることによって、その高い熱伝導率により、従来の金属材料を用いたヒートシンクよりも少ない面積

12はマルチチップ配線基板2の裏面に設けたI/O端子グループをコネクタ11と接続するために設けた穴である。本実施例は、従来からよく使用されているピンタイプのI/O採りだしを想定した構造である。

本実施例は、ケースに搭載された複数のLSIチップ1をマルチチップ配線基板2のある1面に搭載し、かつLSIチップ1搭載面と対向する面に、前記マルチチップ配線基板2と上位実装レベル（ここではマザーボード7）とを電気的に信号接続するためのI/O端子3を複数設ける構造の電子回路パッケージにおいて、I/O端子3の複数本を1個として複数個にグループ化し、かつマルチチップ配線基板2のLSIチップ1搭載面と対向する面に、その複数の端子グループを分散搭載し、さらに端子グループが搭載されない領域には、マルチチップ配線基板2に搭載されたLSIチップ1で発生する熱を放散するため、ヒートパイプを内蔵した薄形ヒートシンク9をマルチチップ配線基板2のLSIチップ1搭載面と対向

の熱接触で同等以上の放熱特性を確保し、配線基板と上位実装レベルとを接続するためのI/O端子の数を増加可能にするとともに、そのI/O端子の分散搭載を可能にして配線距離の低減を可能にする。

[実施例]

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は本発明の第1の実施例を示す斜視図である。また、第2図は第1図の断面を示した図であり、マルチチップ配線基板とマザーボードとを切り離した状態を表したものである。さらに、第3図は第1図の上面図を表しており、第4図は第1図に示すマルチチップ配線基板の裏面側を示した図である。

各図において、1はLSIチップ、2はマルチチップ配線基板、3はI/O端子、4は封止キャップ、7はマザーボード、8は封止キャップ用リング、9はヒートパイプを内蔵した薄形ヒートシンク、10は空冷ヒートシンク、11はコネクタ、

する面に熱接触させた構造とする。

マルチチップ配線基板2は、LSIチップ1の搭載面を封止キャップ4で被い、レーザー溶接等で封止キャップ用リング8に封止する。薄形ヒートシンク9の各穴12は、I/O端子3の各グループを貫通させるとともに、接続状態においてコネクタ11がI/O端子3に嵌合する高さ部分を貫通させる大きさを有する。これにより、薄形ヒートシンク9は、マルチチップ配線基板2とマザーボード7の間に配置される。また、薄形ヒートシンク9は、マルチチップ配線基板2より大きく形成され、マルチチップ配線基板2よりはみ出る周辺部分に空冷ヒートシンク10が設けられて成る。

以上のように構成した第1の実施例の動作および作用を述べる。

本実施例において、LSIチップ1で発生する熱はマルチチップ配線基板2を介してヒートパイプを内蔵した薄形ヒートシンク9に伝わり、さらに、ヒートパイプ9の両端に設けた空冷ヒートシンク10に導びかれ、外部に熱放散される。その

際に、通常の金属材料をヒートシンク9の替わりに使用すると、その熱伝導率が低く、これに起因して熱抵抗が増大してしまうが、本実施例ではヒートパイプを使用しているため、その熱伝導率は金属材料に比べ1〜2桁高く、よって低熱抵抗で熱を遠距離に輸送できる。従って、マルチチップ配線基板2の両サイドに空冷ヒートシンク10を設けても放熱の隘路とはならぬ利点を有している。

第5図は本発明による効果を定量的に示した図であって、従来構造のようにマルチチップ配線基板2の周辺からI/O採りだしを行なった場合（破線および点鎖線）と、本発明の実施例のように面的にI/O採りだしを行なう場合（実線）の、マルチチップ配線基板2の一辺の長さ、その大きさに対応したマルチチップ配線基板2から採りだし得る総I/O端子数との関係を示したものである。ここで本発明による総I/O端子数は、

I/O端子ピッチ : 1.27mm正格子

I/O端子グループは : 100 I/O/14mm角

ク9を熱接続する構造ではないため、LSIチップ1で発生した熱は直接ヒートシンク9へ伝わるのではなく、熱を一端箔流してヒートシンク9へ伝える構造となる。このため、この部分の熱抵抗が大きくなるものの、同図からも明らかなようにその増加は僅かであり、約10%程度の増加に過ぎない。従ってI/O端子数を従来構造に比べ大幅に増加できるとともに、冷却能力は従来法と同程度に保つことが可能であると結論づけることができる。

以下に、第1の実施例を基礎とした本発明の第2の実施例を述べる。

第7図は、本発明による第2の実施例を表す断面図であり、13はヒートパイプを内蔵した薄形ヒートシンク9と空冷ヒートシンク10とを熱結合するための柔軟ヒートパイプである。それ以外の部材は、第1の実施例の同符号のものと同様であり、本実施例は第1の実施例とほぼ同一のマルチチップ配線基板構造、およびヒートパイプを内蔵した薄形ヒートシンク構造となっている。しか

I/O端子グループ間の間隙（ヒートパイプ形ヒートシンクと熱接触する部分） 8.8mm

として算出したものである。同図から明らかなように、マルチチップ配線基板2の外形寸法50mmを超えるあたりから、採りだし得る総I/O端子数は本発明による構造のほうが有利となり、例えば100mm角の場合で、従来構造（ここでは0.5mmピッチで採り出すタイプと比較）に比べ約2倍、150mm角の場合では約3倍のI/O端子数を確保できる。

さらに第6図(a)、(b)は、第5図と同様の構造諸元で、かつ空冷ヒートシンク10の放熱面積と同一とした場合の熱抵抗（LSIチップジャンクションから空気までの熱抵抗）を比較したものである。この時、空冷ヒートシンクは空気の吹き付けによる冷却法を採用した場合の結果を示している。なお図中のチップロケーションは(a)に示したLSIチップ1の搭載位置番号(1)、(2)、…と対応している。本実施例では、マルチチップ配線基板2の裏面全てに薄形ヒートシン

し、第1の実施例の場合には、マルチチップ配線基板2の両側面に空冷ヒートシンク10を設けた構造であったが、この場合、空冷ヒートシンク10が存在すると、マザーボード7上に無駄な領域を占めることとなる。このため、本実施例では、マルチチップ配線基板2の上部を放熱用にする構造としたものである。

すなわち、本実施例では、空冷ヒートシンク10とヒートパイプを内蔵した薄形ヒートシンク9を分離し、空冷ヒートシンク10はマルチチップ配線基板2の上部に配置し、薄形ヒートシンク9は第1の実施例と同様のI/O端子3を貫通する穴を設けてマルチチップ配線基板2とマザーボード7の間に配置し、ヒートパイプを内蔵した薄形ヒートシンク9と空冷ヒートシンク10との間を柔軟ヒートパイプ13により接続して、空冷ヒートシンク10を両サイドに開くことができる構造とする。

以上の構造により、本実施例によれば、空冷ヒートシンク10のマザーボード7上での占有領域

の低減を図ることができる。また、空冷ヒートシンク10は、柔軟ヒートパイプ13で接続されているので、マルチチップ配線基板2の両サイドに開くことができ、これによりマルチチップ配線基板2をマザーボード7から切り離し、その配線基板2の交換等を容易に行うことができる。本実施例では、ヒートパイプを内蔵した薄形ヒートシンク9と空冷ヒートシンク10との間の距離が、第1の実施例に比べて長くなるものの、その間はヒートパイプ13を用いて接続してあるため、その熱抵抗は無視しうる程小さく、冷却能力は第1の実施例とほぼ同一に保つことが可能である。

次に、同じく第1の実施例を基礎とした本発明の第3の実施例を示す。第8図は、本発明による第3の実施例を示す上面図であり、14はヒートパイプを内蔵したヒートシンク9の端部に設けたマニホールド、15はヒートパイプ、15aはヒートパイプ15を構成する蒸発したガスが通過する蒸発管路、15bは同じくヒートパイプ15を構成する放熱部で液化した動作液が戻るための戻

可能となる。ここで、空冷放熱部10とマルチチップ配線基板2との間は、熱伝導率の高いヒートパイプ15を使用しているため、第2の実施例と同様に熱を長距離区間低熱抵抗で輸送でき、高い冷却能力でLSIチップ1で発生する熱を放散できる利点がある。

次に、本発明の第4の実施例を述べる。

第9図は本発明による第4の実施例を示す図であって、18は液体供給装置を構成する2次冷媒を空冷熱交換するためのファン、19は冷凍サイクルを使用した2次冷媒冷却系用コンプレッサー、20は2次冷媒冷却系用膨張弁、21は1次冷媒と2次冷媒との熱交換を行なう熱交換器、22は1次冷媒用タンク、23は1次冷媒を循環させるためのポンプ、24は1次冷媒を液体供給装置から角マルチチップ配線基板2直下に設けたヒートシンク25までを接続するための液冷用配管、25はマルチチップ配線基板2の直下に設けた液冷管路を内蔵したヒートシンクをそれぞれあらわしている。本実施例においても、マルチチップ配線

管路、16は空冷放熱器を空冷するためのファン、17はヒートパイプ内の動作液を液化するための空冷放熱器である。本実施例のマルチチップ配線基板2およびヒートパイプを内蔵したヒートパイプ9は第1の実施例もしくは第2の実施例の場合と同様の構造である。

本実施例では、空冷放熱器17をマルチチップ配線基板2の遠方に配置し、ヒートシンク9とは、端部のマニホールド14、14のところで、蒸発管路15aと戻り管路15bからなるヒートパイプ15により接続し、マルチチップ配線基板2の近傍には冷却用のヒートパイプの管路15a、15bのみを配置した構造とする。

以上の構造によって、マルチチップ配線基板2を搭載したマザーボード7を複数枚近接して配置することが可能となる。本実施例では、LSIチップ1の発生熱を吸熱して蒸発したガスが蒸発管路15aを流れて行き、空冷放熱部17でファン16により冷却されて動作液に戻り、薄形ヒートシンク9に戻されて、再びLSIチップ1の冷却が

基板2の構造は第1の実施例と同様であり、また、液冷管路を内蔵したヒートシンク25の構造は第1の実施例もしくは第2の実施例の薄形ヒートシンク9の構造と同様である。

本実施例では、第1、第2、第3の実施例のようにヒートパイプを介して最終的に空冷する構造とは異なり、直接マルチチップ配線基板2の直下に液冷型ヒートシンク25を設け、LSIチップで発生した熱をマルチチップ配線基板2を介して1次冷媒に伝える。このような液体を用いた直接冷却では、空冷の場合に比べ熱伝達率は1～2桁高い値を得ることができ、かつ液体供給装置から送られる液体冷媒（1次冷媒）の温度は2次冷媒で冷却される結果、室温程度と低く、かつマルチチップ配線基板2で生ずる熱を奪った後も、液体冷媒の持つ高い熱容量に起因して、その温度上昇もきわめて少なくなる。このため本実施例も、冷却能力を高く保ったまま、1/O端子数を大幅に増大させることが可能である。

なお、以上の実施例において、配線基板2に搭

載されるLSIチップとしては、ケースに搭載されたチップの他、ベアチップでも良い。また、空冷ヒートシンク10を設けるヒートシンク9の端部は片側であっても両側あるいは全周であっても良い。このように本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得るものである。

[発明の効果]

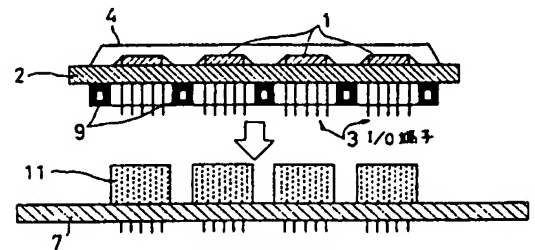
以上の説明で明らかなように、本発明の電子回路パッケージによれば、チップを多数搭載した配線基板から面的にI/O端子を取り出せるため、従来周辺からみてI/O採り出しを行なっていた構造に比べ、大幅に総I/O端子数を増大できるのみならず、熱の超熱伝導部品であるヒートパイプあるいは液冷ヒートシンクを配線基板に適宜熱接触させた構造であることから、少い熱接触にもかかわらず従来の電子回路パッケージと同等もしくはそれ以上の高い冷却能力を得ることができるという効果がある。

4. 図面の簡単な説明

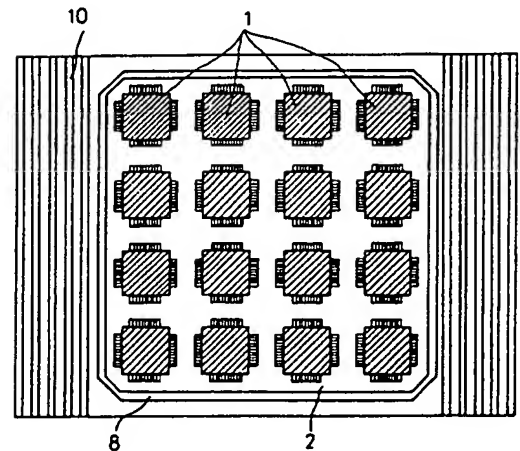
LSIチップ搭載面構造を表す図である。

1…LSIチップ、2…マルチチップ配線基板、3…I/O端子、4…封止キャップ、6…コネクタ、7…マザーボード、8…封止キャップ用リング、9…ヒートパイプを内蔵した薄形ヒートシンク、10…空冷ヒートシンク、11…コネクタ、12…I/O端子グループをコネクタ11と接続するために設けた穴、13…柔軟ヒートパイプ、14…マニホールド、15…ヒートパイプ、15a…蒸発管路、15b…戻り管路、16…ファン、17…空冷放熱器、18…2次冷媒を空冷熱交換するためのファン、19…2次冷媒冷却系用コンプレッサー、20…2次冷媒冷却系用膨張弁、21…1次冷媒と2次冷媒との熱交換器、22…1次冷媒用タンク、23…1次冷媒循環用のポンプ、24…1次冷媒の液冷用配管、25…1次冷媒の液冷管路を内蔵したヒートシンク。

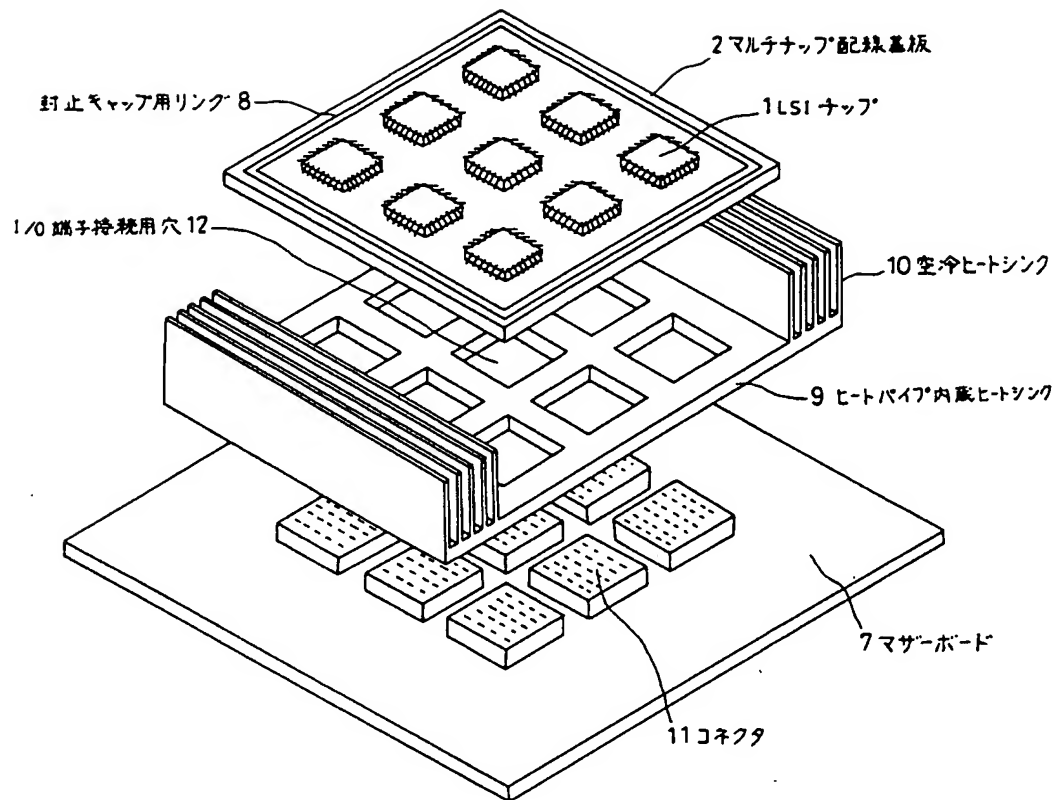
第1図は本発明による第1の実施例を示す斜視図、第2図は上記第1の実施例を示す断面図、第3図は上記第1の実施例のLSIチップ搭載面の構造を表す図、第4図は上記第1の実施例のマルチチップ配線基板裏面側の構造図、第5図は本発明の効果を定量的に表す図であってマルチチップ配線基板の外形寸法とマルチチップ基板から採りだしうる総I/O端子数の関係を示す図、第6図(a)、(b)は上記第1の実施例の効果を定量的に表す図であってマルチチップ配線基板に搭載されたLSIチップの搭載位置と熱抵抗の関係を表す図、第7図は本発明による第2の実施例を示すマルチチップモジュールの断面図、第8図は本発明による第3の実施例を示す図であってマルチチップモジュールのLSIチップ搭載面構造を表す図、第9図は本発明による第4の実施例を示す図であってマルチチップモジュールのLSIチップ搭載面構造を表す図、第10図は従来の空冷形マルチチップモジュールの断面構造を表す図、第11図は従来の空冷形マルチチップモジュールの



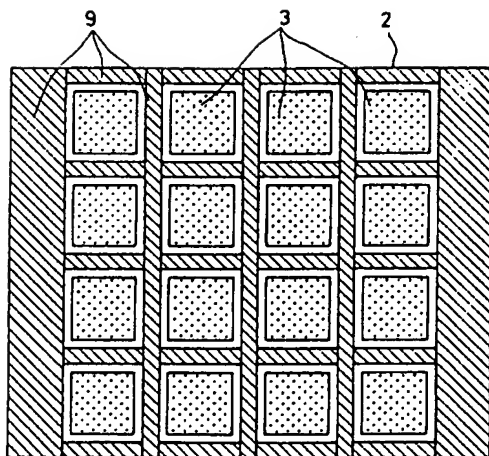
第2図



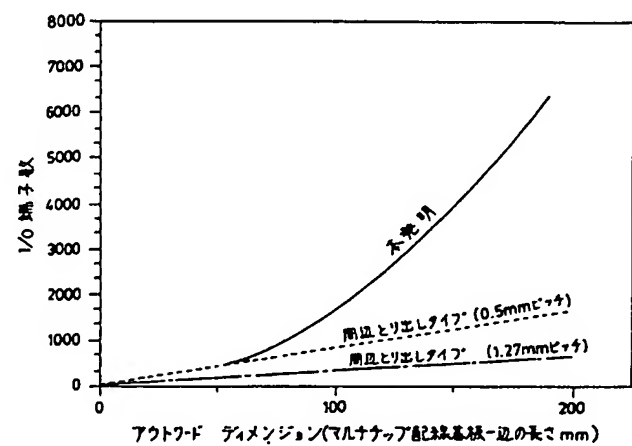
第3図



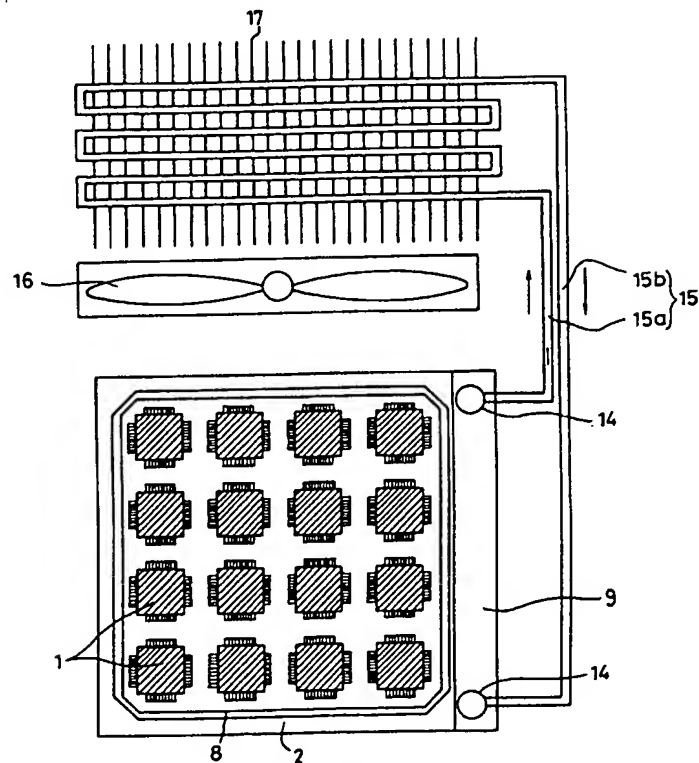
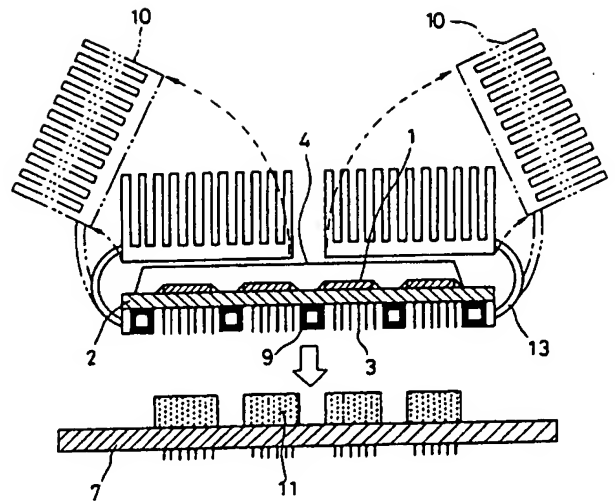
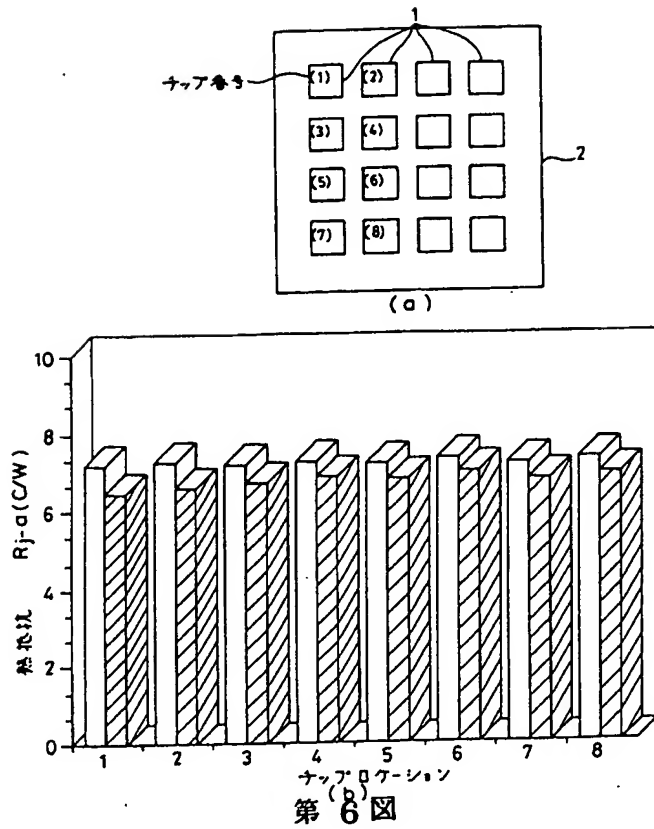
第 1 図

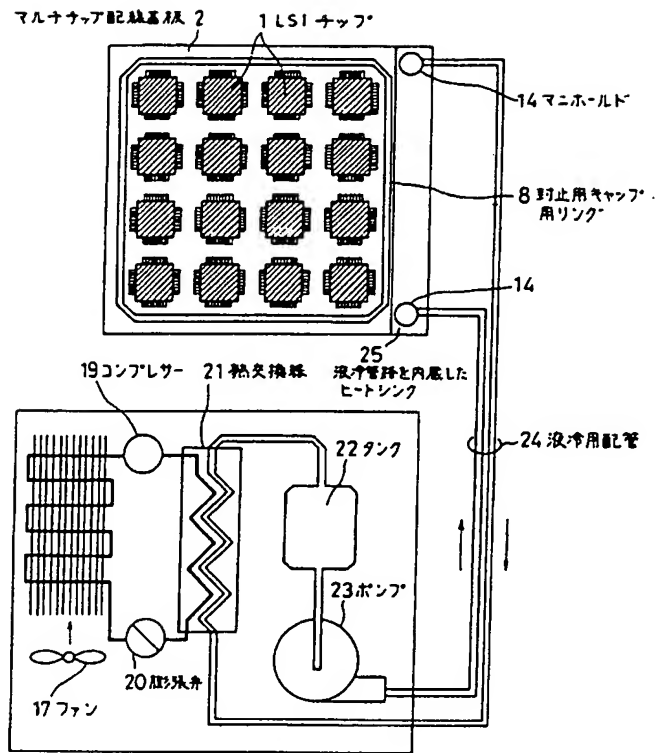


第 4 図

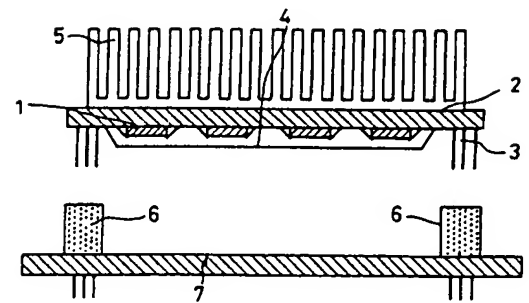


第 5 図

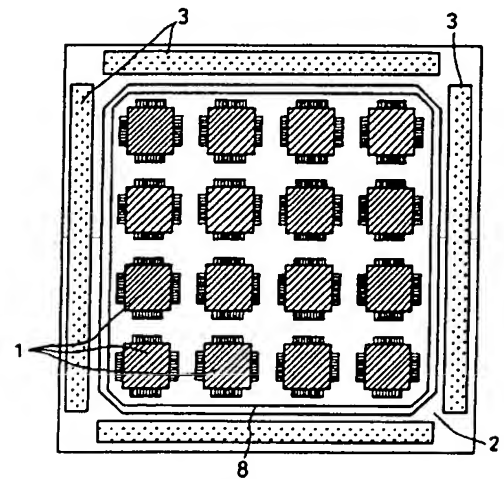




第 9 図



第10 図



第11 図